

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 22 日 (22.09.2005)

PCT

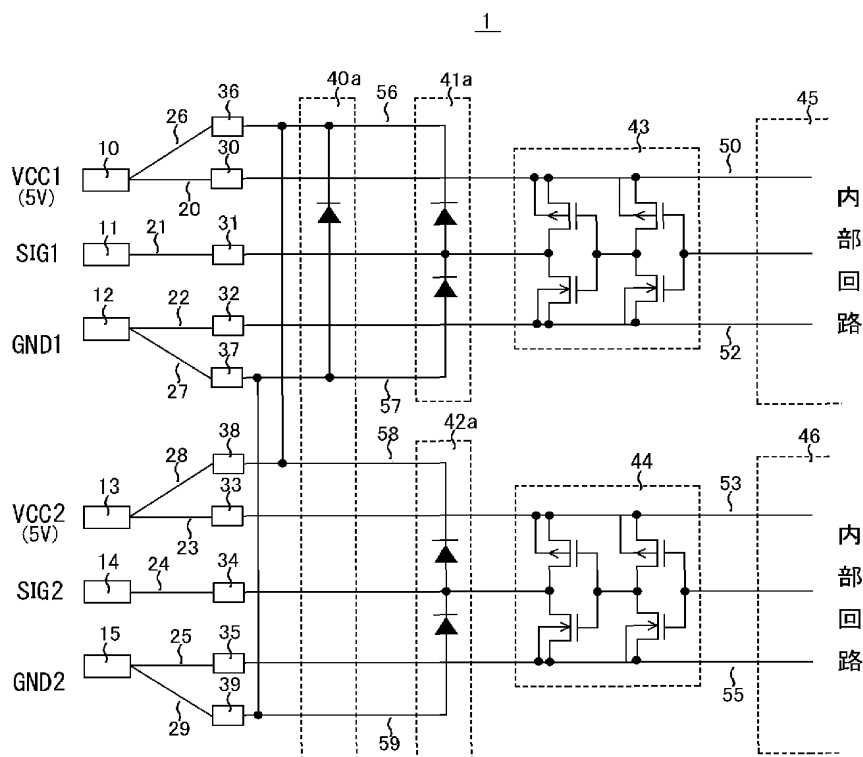
(10) 国際公開番号
WO 2005/088701 A1

- (51) 国際特許分類⁷: H01L 21/822, 21/82, 27/04
 (21) 国際出願番号: PCT/JP2005/004337
 (22) 国際出願日: 2005 年 3 月 11 日 (11.03.2005)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2004-070380 2004 年 3 月 12 日 (12.03.2004) JP
 (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 加藤 工 (KATO, Takumi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 原 英夫 (HARA, Hideo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
 (74) 代理人: 藤河 恒生 (FUJIKAWA, Tsuneo); 〒5202153 滋賀県大津市一里山四丁目 9 番 8 2 号 こなん特許事務所 Shiga (JP).
 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

45... INTERNAL CIRCUIT
46... INTERNAL CIRCUIT

(57) Abstract: In a semiconductor device, ESD damage countermeasures are taken for a signal terminal of one power supply system, with a power supply (or grounding) terminal of other power supply system as a reference. The semiconductor device suppresses chip size increase caused by the countermeasures, while taking such countermeasures. The semiconductor device (1) is provided with ESD protection bonding pads (36-39) connected with the power supply terminals (10, 13) and grounding terminals (12, 15) with bonding wires (26-29) in the first and second power supply systems, ESD protection element parts (41a, 42a) for each signal, which are connected with signal bonding pads (31, 34) and the ESD protection bonding pads (36-39) to protect input/output circuits (43, 44), and a power supply ESD protection element part (40a), which is connected with the ESD protection bonding pads (36, 37).

(57) 要約: 1つの電源系の信号端子について他の電源系の電源 (又はグラウンド) 端子を基準としたESD破壊対策を実現し

つつ、それによるチップサイズの増大を抑制できる半導体装置を提供する。この半導体装置1は、第1と第2の電源系において、電源端子10、13及びグラウンド端子12、15にボン

[続葉有]

WO 2005/088701 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ディングワイヤ26乃至29によって接続されるESD保護ボンディングパッド36乃至39と、信号ボンディングパッド31、34とESD保護ボンディングパッド36乃至39とに接続され、入出力回路43、44を保護するそれぞれの信号用ESD保護素子部41a、42aと、ESD保護ボンディングパッド36、37に接続される電源用ESD保護素子部40aと、を備えてなる。

明 細 書

半導体装置

技術分野

[0001] 本発明は、複数の電源系を有する半導体装置に関する。

背景技術

[0002] 従来から、複数の電源系を有する半導体装置、すなわち電源端子とグランド端子の対が複数有ってそれぞれの対の間に半導体素子が設けられている半導体装置は、信号端子に印加された静電気がいずれかの電源端子やグランド端子を経由して放電しても、その静電気放電(ESD)によって破壊されないように、全ての電源端子及びグランド端子を基準としたESD対策が取られてきた(例えば特許文献1)。

[0003] 図4は、デジタル用電源系とアナログ用電源系の2個の電源系を有した従来の半導体装置における各端子の接続状態を示す部分回路図である。この半導体装置101は、例えば5Vのデジタル用電源系に、電源(VCC1)端子110、グランド(GND1)端子112、及び外部と信号の入出力を行う少なくとも1つの信号(SIG1)端子111と、同じく5Vのアナログ用電源系に、電源(VCC2)端子113、グランド(GND2)端子115、及び外部と信号の入出力を行う少なくとも1つの信号(SIG2)端子114と、を有している。それら各端子は、ボンディングワイヤ120乃至125によってそれぞれVCC1ボンディングパッド130、GND1ボンディングパッド132、SIG1ボンディングパッド131、VCC2ボンディングパッド133、GND2ボンディングパッド135、SIG2ボンディングパッド134に接続されている。

[0004] VCC1ボンディングパッド130及びGND1ボンディングパッド132は、半導体基板上に形成されたVCC1配線150及びGND1配線152にそれぞれ接続される。VCC1配線150及びGND1配線152は、デジタル用電源系の少なくとも1つの入出力回路143及び内部回路145の素子に接続されると共に後述のように信号用ESD保護素子部141に接続される。入出力回路143はSIG1ボンディングパッド131との間で信号を入力又は出力し、内部回路145は入出力回路143から入力した信号に応じて信号処理を行い入出力回路143に信号を出力する。なお、図4における入出力回

路143(及び後述の入出力回路144)では入力素子の図示は省略している。

[0005] 前述した信号用ESD保護素子部141は、入出力回路143のESDによる破壊を防止するものであり、VCC1端子110を基準にSIG1端子111に印加された静電気をVCC1端子110に逃がすためのVCC1側の保護素子と、GND1端子112を基準にSIG1端子111に印加された静電気をGND1端子112に逃がすためのGND1側の保護素子と、から構成される。これらの保護素子は、具体的には図4に示すようなダイオード、又はフィールドトランジスタ(メタル配線をゲートとしたしきい値の高いMOSTランジスタ)などが用いられる。こうして、SIG1端子111についてVCC1端子110及びGND1端子112を基準としたESD対策が取られる。他の電源系のVCC2端子113及びGND2端子115を基準としたESD対策については後述する。

[0006] また、VCC2ボンディングパッド133及びGND2ボンディングパッド135も、半導体基板上に形成されたVCC2配線153及びGND2配線155にそれぞれ接続される。VCC2配線153及びGND2配線155は、アナログ用電源系の少なくとも1つの入出力回路144及び内部回路146の素子に接続されると共に信号用ESD保護素子部142に接続される。入出力回路144はSIG2ボンディングパッド134との間で信号を入力又は出力し、内部回路146は入出力回路144から入力した信号に応じて信号処理を行い入出力回路144に信号を出力する。信号用ESD保護素子部142も、入出力回路144のESDによる破壊を防止するものであり、その構成や機能は前述の信号用ESD保護素子部141と実質的に同じである。

[0007] 電源用ESD保護素子部140は、いずれの電源端子間又はグランド端子間に静電気が印加された場合でも、入出力回路143、144又は内部回路145、146の素子のESDによる破壊を防止するものであり、VCC1端子110-GND1端子112間の保護素子(1個のダイオード)と、VCC2端子113-GND1端子112間の保護素子(1個のダイオード)と、VCC2端子113-GND2端子115間の保護素子(1個のダイオード)と、GND2端子115-GND1端子112間の保護素子(2個のダイオード)と、VCC1端子110-VCC2端子113間の保護素子(2個のダイオード)と、VCC1端子110-GND2端子115間の保護素子(1個のダイオード)と、から構成される。GND2端子115-GND1端子112間の保護素子とVCC1端子110-VCC2端子113間の保護素

子とがそれぞれ2個の互いに逆方向のダイオードから構成されるのは、ESDに対して保護能力が高いからである。この構成は、ダイオードの陽極と陰極が同電位であるから可能である。その他の保護素子(例えばVCC1端子110—GND1端子112間の保護素子など)は、保護素子の面積を更に大きくするなどして保護能力を高めている。

[0008] 次に、SIG1端子111について他の電源系のVCC2端子113及びGND2端子115を基準としたESDによる破壊防止の動作について説明する。VCC2端子113を基準にSIG1端子111に印加された静電気は、信号用ESD保護素子部141を構成するVCC1側の保護素子、VCC1配線150、電源用ESD保護素子部140を構成するVCC1端子110—VCC2端子113間の保護素子、VCC2配線153を通過してVCC2端子113に逃げる。GND2端子115を基準にSIG1端子111に印加された静電気も、同様にして、信号用ESD保護素子部141を構成するGND1側の保護素子、GND1配線152、電源用ESD保護素子部140を構成するGND2端子115—GND1端子112間の保護素子、GND2配線155を通過してGND2端子115に逃げる。また、SIG2端子114について他の電源系のVCC1端子110及びGND1端子112を基準としたESDに対しても、同様にして、信号用ESD保護素子部142及び電源用ESD保護素子部140を介して破壊防止が実現される。

[0009] このように、複数の電源系を有する半導体装置において、いずれかの電源系の信号端子について他の電源系の電源端子やグランド端子を基準としたESD対策は、信号用ESD保護素子部及び電源用ESD保護素子部を介して破壊防止が実現される。なお、上記の半導体装置101は、複数の電源系として、デジタル用電源系とアナログ用電源系の2個の電源系を有する半導体装置であるが、それに限らず、例えば5V電源系と3V電源系のように、電源電圧が異なる複数の電源系を有する半導体装置においても、電源用ESD保護素子部140を設けることで、他の電源系の電源端子やグランド端子を基準としたESDによる破壊防止を実現することができる。ただし、例えばVCC1端子110が5VでVCC2端子113が3Vとすると、電源用ESD保護素子部140におけるVCC1端子110—VCC2端子113間の保護素子は通常動作で逆バイアスとなる1個のダイオード(又はフィールドトランジスタなど)から構成される。

[0010] 特許文献1:特開平8-148650号公報

発明の開示

発明が解決しようとする課題

[0011] しかし、複数の電源系を有する半導体装置における電源用ESD保護素子部は、半導体装置101の電源用ESD保護素子部140のように、多くの電源端子間やグランド端子間の保護素子から構成され、それらの保護素子はそれぞれが大きな面積を占有するものである。従って、半導体装置は、電源用ESD保護素子部を内部回路や入出力回路の素子が配置されていない空きスペースに配置するだけでは足りず、内部回路や入出力回路のスペースの他に電源用ESD保護素子部のためのスペースを確保しなければならないので、チップサイズの増大の要因となっている。

[0012] 本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、複数の電源系を有する半導体装置において、いずれかの電源系の信号端子について他の電源系の電源端子やグランド端子を基準としたESDによる破壊防止を実現しつつ、それによるチップサイズの増大を抑制できる半導体装置を提供することにある。

課題を解決するための手段

[0013] 上記の課題を解決するために、本発明の望ましい実施形態に係る半導体装置は、複数の電源系として少なくとも第1と第2の電源系を有し、第1と第2の電源系はそれぞれ半導体基板上に形成される電源ボンディングパッド、グランドボンディングパッド、及び少なくとも1つの信号ボンディングパッドと、これら各ボンディングパッドに接続されると共に信号ボンディングパッドとの間で信号の入力又は出力を行う入出力回路と、を有する半導体装置であって、第1と第2の電源系は半導体基板上にそれぞれ、第1のESD保護ボンディングパッドと、信号ボンディングパッドと第1のESD保護ボンディングパッドに接続される信号用ESD保護素子部と、を備え、第1と第2の電源系の第1のESD保護ボンディングパッドは互いに接続される。

[0014] この半導体装置の第1と第2の電源系は、場合により、半導体基板上にそれぞれ、信号用ESD保護素子部に接続される第2のESD保護ボンディングパッドを更に備え、第1と第2の電源系の第2のESD保護ボンディングパッドは互いに接続される。

[0015] この半導体装置は、望ましくは、第1と第2の電源系のいずれかの第1のESD保護ボンディングパッド(及び場合によって第2のESD保護ボンディングパッド)に接続さ

れる電源用ESD保護素子部を更に備える。

[0016] この半導体装置は、望ましくは、第1と第2の電源系はそれぞれ、電源ボンディングパッドに接続される電源端子と、グランドボンディングパッドに接続されるグランド端子と、信号ボンディングパッドに接続される信号端子と、を備え、第1と第2の電源系はそれぞれ、第1のESD保護ボンディングパッドが電源端子又はグランド端子の一方(及び場合によって第2のESD保護ボンディングパッドが電源端子又はグランド端子の他方)に接続される。

[0017] これらのボンディングパッドと端子の接続には、望ましくは、ボンディングワイヤが用いられる。

発明の効果

[0018] 本発明の望ましい実施形態に係る半導体装置は、複数の電源系を有する半導体装置のそれぞれの電源系において、電源ボンディングパッド及びグランドボンディングパッドの他にESD保護ボンディングパッドを設け、それを介して信号端子に印加された静電気を逃がす。それにより、1つの電源系の信号端子について他の電源系の電源端子やグランド端子を基準としたESD破壊対策を実現しつつ、チップサイズの増大を抑制することが可能になる。

図面の簡単な説明

[0019] [図1]本発明の望ましい第1実施形態に係る半導体装置における部分回路図。

[図2]同上の全体レイアウト図。

[図3]本発明の望ましい第2実施形態に係る半導体装置における部分回路図。

[図4]従来の半導体装置における部分回路図。

符号の説明

- [0020]
- 1 第1実施形態の半導体装置
 - 2 第2実施形態の半導体装置
 - 10 VCC1(第1の電源系の電源)端子
 - 11 SIG1(第1の電源系の信号)端子
 - 12 GND1(第1の電源系のグランド)端子
 - 13 VCC2(第2の電源系の電源)端子

- 14 SIG2(第2の電源系の信号)端子
- 15 GND2(第2の電源系のグラウンド)端子
- 20乃至29 ボンディングワイヤ
- 30 VCC1(第1の電源系の電源)ボンディングパッド
- 31 SIG1(第1の電源系の信号)ボンディングパッド
- 32 GND1(第1の電源系のグラウンド)ボンディングパッド
- 33 VCC2(第2の電源系の電源)ボンディングパッド
- 34 SIG2(第2の電源系の信号)ボンディングパッド
- 35 GND2(第2の電源系のグラウンド)ボンディングパッド
- 36 VCC1(第1の電源系の第2の)ESD保護ボンディングパッド
- 37 GND1(第1の電源系の第1の)ESD保護ボンディングパッド
- 38 VCC2(第2の電源系の第2の)ESD保護ボンディングパッド
- 39 GND2(第2の電源系の第1の)ESD保護ボンディングパッド
- 40a 第1実施形態の電源用ESD保護素子部
- 40b 第2実施形態の電源用ESD保護素子部
- 41a 第1実施形態の第1の電源系の信号用ESD保護素子部
- 42a 第1実施形態の第2の電源系の信号用ESD保護素子部
- 41b 第2実施形態の第1の電源系の信号用ESD保護素子部
- 42b 第2実施形態の第2の電源系の信号用ESD保護素子部
- 43 第1の電源系の入出力回路
- 44 第2の電源系の入出力回路
- 45 第1の電源系の内部回路
- 46 第2の電源系の内部回路

発明を実施するための最良の形態

[0021] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の望ましい第1実施形態である半導体装置において各端子の接続状態を示す部分回路図である。この半導体装置1は、複数の電源系として5Vのデジタル用電源系(第1の電源系)と5Vのアナログ用電源系(第2の電源系)の2個の電源系を有している。

- [0022] 第1の電源系は、電源(VCC1)端子10、グランド(GND1)端子12、及び外部と信号の入出力を行う少なくとも1つの信号(SIG1)端子11を有する。第2の電源系は、電源(VCC2)端子13、グランド(GND2)端子15、及び外部と信号の入出力を行う少なくとも1つの信号(SIG2)端子14と、を有する。また、第1の電源系は、半導体基板上に、電源(VCC1)ボンディングパッド30、グランド(GND1)ボンディングパッド32、少なくとも1つの信号(SIG1)ボンディングパッド31を有する。第2の電源系は、半導体基板上に、電源(VCC2)ボンディングパッド33、グランド(GND2)ボンディングパッド35、少なくとも1つの信号(SIG2)ボンディングパッド34を有する。VCC1端子10、SIG1端子11、GND1端子12、VCC2端子13、SIG2端子14、GND2端子15は、ボンディングワイヤ20乃至25を介してそれぞれVCC1ボンディングパッド30、SIG1ボンディングパッド31、GND1ボンディングパッド32、VCC2ボンディングパッド33、SIG2ボンディングパッド34、GND2ボンディングパッド35に接続されている。
- [0023] 第1の電源系には、半導体基板上に、VCC1ボンディングパッド30に近接してVCC1ESD保護ボンディングパッド(第1の電源系の第2のESD保護ボンディングパッド)36、GND1ボンディングパッド32に近接してGND1ESD保護ボンディングパッド(第1の電源系の第1のESD保護ボンディングパッド)37が設けられている。第2の電源系には、半導体基板上に、VCC2ボンディングパッド33に近接してVCC2ESD保護ボンディングパッド(第2の電源系の第2のESD保護ボンディングパッド)38、GND2ボンディングパッド35に近接してGND2ESD保護ボンディングパッド(第2の電源系の第1のESD保護ボンディングパッド)39が設けられている。これら各ESD保護ボンディングパッド36、37、38、39は、ボンディングワイヤ26乃至29を介してVCC1端子10、GND1端子12、VCC2端子13、GND2端子15に接続される。また、VCC1ESD保護ボンディングパッド36とVCC2ESD保護ボンディングパッド38は互いに接続され、かつ、GND1ESD保護ボンディングパッド37とGND2ESD保護ボンディングパッド39は互いに接続されている。
- [0024] VCC1ボンディングパッド30及びGND1ボンディングパッド32は、半導体基板上に形成されたVCC1配線50及びGND1配線52にそれぞれ接続される。VCC1配線50及びGND1配線52は、第1の電源系の少なくとも1つの入出力回路43及び内部回

路45の素子に接続される。入出力回路43はSIG1ボンディングパッド31との間で信号の入力又は出力を行い、内部回路45は入出力回路43から入力した信号に応じて信号処理を行ったり入出力回路43に信号を出力したりする。なお、図1(及び後述の図3)における入出力回路43(及び後述の入出力回路44)では入力素子の図示は省略している。

[0025] ここで重要なことは、入出力回路43のESDによる破壊防止のための信号用ESD保護素子部41aは、VCC1ESD保護配線56によりSIG1ボンディングパッド31とVCC1ESD保護ボンディングパッド36間に、GND1ESD保護配線57によりSIG1ボンディングパッド31とGND1ESD保護ボンディングパッド37間に接続されることである。この信号用ESD保護素子部41aは、VCC1端子10を基準にSIG1端子11に印加された静電気をVCC1ESD保護配線56からVCC1ESD保護ボンディングパッド36を通過してVCC1端子10に逃がすためのVCC1側の保護素子と、GND1端子12を基準にSIG1端子11に印加された静電気をGND1ESD保護配線57からGND1ESD保護ボンディングパッド37を通過してGND1端子12に逃がすためのGND1側の保護素子と、から構成される。これら保護素子は、具体的にはダイオードやフィールドトランジスタ(メタル配線をゲートとしたしきい値の高いMOSTランジスタ)などが用いられる。

[0026] また、VCC2ボンディングパッド33及びGND2ボンディングパッド35は、半導体基板上に形成されたVCC2配線53及びGND2配線55にそれぞれ接続される。VCC2配線53及びGND2配線55は、第2の電源系の少なくとも1つの入出力回路44及び内部回路46の素子に接続される。この入出力回路44も、前述した入出力回路43と同様に、SIG2ボンディングパッド34との間で信号の入力又は出力を行い、内部回路46は入出力回路44から入力した信号に応じて信号処理を行ったり入出力回路44に信号を出力したりする。そして、入出力回路44のESDによる破壊防止のための信号用ESD保護素子部42aも、VCC2ESD保護配線58によりSIG2ボンディングパッド34とVCC2ESD保護ボンディングパッド38間に、GND2ESD保護配線59によりSIG2ボンディングパッド34とGND2ESD保護ボンディングパッド39間に接続される。この信号用ESD保護素子部42aは、VCC2端子13を基準にSIG2端子14に印加され

た静電気をVCC2ESD保護配線58からVCC2ESD保護ボンディングパッド38を通してVCC2端子13に逃がすためのVCC2側の保護素子と、GND2端子15を基準にSIG2端子14に印加された静電気をGND2ESD保護配線59からGND2ESD保護ボンディングパッド39を通してGND2端子15に逃がすためのGND2側の保護素子と、から構成される。

[0027] 半導体装置1の電源用ESD保護素子部40aは、VCC1ESD保護ボンディングパッド36とGND1ESD保護ボンディングパッド37間に、具体的にはVCC1ESD保護配線56とGND1ESD保護配線57間に接続される保護素子(1個のダイオード)から構成される。この電源用ESD保護素子部40aは、VCC1端子10—GND1端子12間に静電気が印加された場合に、入出力回路43又は内部回路45の素子が破壊されないよう静電気を逃がすためのものである。また、前述したように、VCC1ESD保護ボンディングパッド36とVCC2ESD保護ボンディングパッド38は互いに接続され、かつ、GND1ESD保護ボンディングパッド37とGND2ESD保護ボンディングパッド39は互いに接続されている。具体的には、VCC1ESD保護配線56及びGND1ESD保護配線57は、それぞれVCC2ESD保護配線58及びGND2ESD保護配線59に半導体基板上で互いに接続されている。従って、VCC2端子13—GND2端子15間に静電気が印加された場合も、VCC2ESD保護配線58及びGND2ESD保護配線59を介し、電源用ESD保護素子部40a、すなわち、VCC1ESD保護配線56とGND1ESD保護配線57間に接続された保護素子を通して静電気が逃げる。また、それ以外の組み合わせの電源(グラウンドを含む)端子間に静電気が印加された場合も同様である。

[0028] 次に、1つの電源系の信号端子について他の電源系の電源端子やグラウンド端子を基準としたESDによる破壊防止が実現される動作を説明する。VCC2端子13を基準にSIG1端子11に印加された静電気は、信号用ESD保護素子部41aを構成するVCC1側の保護素子からVCC1ESD保護配線56、VCC2ESD保護配線58、VCC2ESD保護ボンディングパッド38、ボンディングワイヤ28を通してVCC2端子13に逃げる。GND2端子15を基準にSIG1端子11に印加された静電気も、同様にして、信号用ESD保護素子部41aを構成するGND1側の保護素子からGND1ESD保護配

線57、GND2ESD保護配線59、GND2ESD保護ボンディングパッド39、ボンディングワイヤ29を通してGND2端子115に逃げる。このように、SIG1端子11について他の電源系の電源端子やグランド端子を基準としたESDによる破壊防止を実現することができるのである。また、SIG2端子14について他の電源系の電源端子やグランド端子、すなわちVCC1端子10及びGND1端子12を基準としたESDによる破壊防止も、同様にして実現することができる。

[0029] 図2は半導体装置1全体を表したレイアウト図である。リード端子である各端子10乃至15は、その内側であるインナーリード部がボンディングワイヤ20乃至29によって各ボンディングパッド30乃至39に接続されている。信号端子であるSIG1端子11及びSIG2端子14はそれぞれ複数設けられ、その各々にボンディングワイヤ21又は24、SIG1ボンディングパッド31又はSIG2ボンディングパッド34、信号用ESD保護素子部41a又は42a、入出力回路43又は44が設けられている。なお、図2において、SIG1ボンディングパッド31又はSIG2ボンディングパッド34、信号用ESD保護素子部41a又は42aなどについて符号は省略している。GND1ESD保護配線57又はGND2ESD保護配線59は各ボンディングパッド30乃至39を囲んで外側に、VCC1ESD保護配線56又はVCC2ESD保護配線58は各ボンディングパッド30乃至39の内側に、VCC1配線50又はVCC2配線53はVCC1ESD保護配線56又はVCC2ESD保護配線58の内側であり入出力回路43又は44を囲んで外側に、GND1配線52又はGND2配線55は入出力回路43又は44の内側に、それぞれ設けられている。また、電源用ESD保護素子部40aを構成する保護素子は、半導体装置1の空きスペース(すなわち図2における半導体装置1の4コーナ)に分割して配置されている。

[0030] 以上のように、この半導体装置1は、電源用ESD保護素子部40aを構成する保護素子の数を削減することができ、それによりチップサイズの増大を抑制することが可能となる。また、半導体装置のESDに対する破壊強度を測定する場合、VCC1端子10を基準にした場合とVCC2端子13を基準にした場合とでは原理的にほとんど破壊強度は変わらないのでVCC2端子13を基準にした測定を省略することも可能である。GND1端子12を基準にした場合とGND2端子15を基準にした場合も同様である。

[0031] なお、第1の電源系、すなわち、デジタル用電源系の素子に起因して電源配線に

重畳した電源ノイズが伝達される経路、すなわちVCC1ボンディングパッド30、ボンディングワイヤ20、VCC1端子10、ボンディングワイヤ26、VCC1ESD保護ボンディングパッド36、VCC1ESD保護配線56、VCC2ESD保護配線58、VCC2ESD保護ボンディングパッド38、ボンディングワイヤ28、VCC2端子13、ボンディングワイヤ23、VCC2ボンディングパッド33の経路で、デジタル用電源系のVCC1配線50から第2の電源系、すなわち、アナログ用電源系のVCC2配線53に電源ノイズが伝達される可能性も想定されるが、電源ノイズは、その経路中の複数のボンディングワイヤのインピーダンスが高いために減衰され、かつそれに比べてインピーダンスが低いVCC1端子10及びVCC2端子13を介して外部電源で吸収されるため、極めて微小となり、問題とはならない。グラウンド配線に重畳した電源ノイズについても同様である。

[0032] 次に、本発明の望ましい第2実施形態である半導体装置について図3に基づいて説明する。この半導体装置2は、複数の電源系として電源電圧が異なる複数の電源系、すなわち、5Vの第1の電源系と3Vの第2の電源系を有する。この半導体装置2のVCC1端子10はVCC1ボンディングパッド30にのみ接続されており、前述の半導体装置1におけるVCC1ESD保護ボンディングパッド36は存在せず、従ってVCC1ESD保護配線56も存在しない。同じく、VCC2端子13はVCC2ボンディングパッド33にのみ接続されており、半導体装置1におけるVCC2ESD保護ボンディングパッド38は存在せず、従ってVCC2ESD保護配線58も存在しない。しかし、GND1ESD保護ボンディングパッド(第1の電源系の第1のESD保護ボンディングパッド)37とGND2ESD保護ボンディングパッド(第2の電源系の第1のESD保護ボンディングパッド)39は存在する。それらは、GND1ESD保護配線57とGND2ESD保護配線59とを介して半導体基板上で互いに接続される。そして、半導体装置1における信号用ESD保護素子部41a及び42aに替え、VCC1側の保護素子、VCC2側の保護素子がVCC1配線50、VCC2配線53に接続され、GND1側の保護素子、GND2側の保護素子がGND1ESD保護ボンディングパッド37及びGND2ESD保護ボンディングパッド39に接続された信号用ESD保護素子部41b及び42bを備える。また、電源用ESD保護素子部40aに替え、VCC1ボンディングパッド30—GND1ESD保護ボンディングパッド37間の保護素子(1個のダイオード)と、VCC2ボンディングパッド33—

GND1ESD保護ボンディングパッド37間の保護素子(1個のダイオード)と、VCC1ボンディングパッド30-VCC2ボンディングパッド33間の保護素子(1個のダイオード)と、を有する電源用ESD保護素子部40bを備える。

- [0033] この半導体装置2では、1つの電源系の信号端子について他の電源系のグランド端子を基準とした場合、すなわちGND2端子15を基準にSIG1端子11に静電気が印加された場合とGND1端子12を基準にSIG2端子14に静電気が印加された場合のESDによる破壊防止は半導体装置1と同様にして実現される。そして、1つの電源系の信号端子について他の電源系の電源端子を基準とした場合、すなわちVCC2端子13を基準にSIG1端子11に静電気が印加された場合とVCC1端子10を基準にSIG2端子14に静電気が印加された場合のESDによる破壊防止は前述の従来の半導体装置と同様にして実現される。
- [0034] 半導体装置2の電源用ESD保護素子部40bは、半導体装置1の電源用ESD保護素子部40aに比べて構成要素である保護素子の数が多いが、従来の電源用ESD保護素子部に比べて保護素子の数を削減することができ、それによりチップサイズの増大を抑制することが可能となる。
- [0035] また、複数の電源系の電圧によっては、半導体装置2とは逆に、半導体装置1におけるVCC1ESD保護ボンディングパッド36とVCC2ESD保護ボンディングパッド38が存在し、GND1ESD保護ボンディングパッド37とGND2ESD保護ボンディングパッド39が存在しない場合も可能である。
- [0036] また、以上説明した実施形態では、端子とそれに対応するボンディングパッドはボンディングワイヤを用いて接続されているが、ある程度高いインピーダンスを有する接続部材(例えばバンプ)を用いても同様な効果を得ることが可能である。また、半導体基板が直接、プリント基板などに実装される場合は、プリント基板の配線により各ESD保護ボンディングパッドを対応する電源ボンディングパッド又はグランドボンディングパッドに接続するようにする。
- [0037] なお、本発明は、上述した実施形態に限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、以上の実施形態では、請求の範囲の理解のために、VCC1ESD保護ボンディングパッド36が第1の電源系

の第2のESD保護ボンディングパッド、GND1ESD保護ボンディングパッド37が第1の電源系の第1のESD保護ボンディングパッド、VCC2ESD保護ボンディングパッド38が第2の電源系の第2のESD保護ボンディングパッド、GND2ESD保護ボンディングパッド39が第2の電源系の第1のESD保護ボンディングパッド、にそれぞれ対応するように説明したが、VCC1ESD保護ボンディングパッド36が第1の電源系の第1のESD保護ボンディングパッド、GND1ESD保護ボンディングパッド37が第1の電源系の第2のESD保護ボンディングパッド、VCC2ESD保護ボンディングパッド38が第2の電源系の第1のESD保護ボンディングパッド、GND2ESD保護ボンディングパッド39が第2の電源系の第2のESD保護ボンディングパッド、にそれぞれ対応するようにしても構わない。また、以上の実施形態では複数の電源系を有する半導体装置として2個の電源系を有する半導体装置を説明したが、3個以上の電源系を有する半導体装置の電源系の全部又は一部にも本発明を適用することができるのは勿論である。

請求の範囲

- [1] 複数の電源系として少なくとも第1と第2の電源系を有し、第1と第2の電源系はそれぞれ半導体基板上に形成される電源ボンディングパッド、グランドボンディングパッド、及び少なくとも1つの信号ボンディングパッドと、これら各ボンディングパッドに接続されると共に信号ボンディングパッドとの間で信号の入力又は出力を行う入出力回路と、を有する半導体装置であって、
- 第1と第2の電源系は半導体基板上にそれぞれ、
- 第1のESD保護ボンディングパッドと、
- 信号ボンディングパッドと第1のESD保護ボンディングパッドに接続される信号用ESD保護素子部と、を備え、
- 第1と第2の電源系の第1のESD保護ボンディングパッドは互いに接続されることを特徴とする半導体装置。
- [2] 請求項1に記載の半導体装置において、
- 第1と第2の電源系のいずれかの第1のESD保護ボンディングパッドに接続される電源用ESD保護素子部を更に備えることを特徴とする半導体装置。
- [3] 請求項1又は2に記載の半導体装置において、
- 第1と第2の電源系はそれぞれ、電源ボンディングパッドに接続される電源端子と、グランドボンディングパッドに接続されるグランド端子と、信号ボンディングパッドに接続される信号端子と、を備え、
- 第1と第2の電源系はそれぞれ、第1のESD保護ボンディングパッドが電源端子又はグランド端子の一方に接続されることを特徴とする半導体装置。
- [4] 請求項3に記載の半導体装置において、
- 第1と第2の電源系はそれぞれ、電源ボンディングパッドと電源端子の接続、グランドボンディングパッドとグランド端子の接続、信号ボンディングパッドと信号端子の接続、第1のESD保護ボンディングパッドと電源端子又はグランド端子の一方の接続、がボンディングワイヤを介していることを特徴とする半導体装置。
- [5] 請求項1に記載の半導体装置において、
- 第1と第2の電源系は半導体基板上にそれぞれ、信号用ESD保護素子部に接続さ

れる第2のESD保護ボンディングパッドを更に備え、

第1と第2の電源系の第2のESD保護ボンディングパッドは互いに接続されることを特徴とする半導体装置。

[6] 請求項5に記載の半導体装置において、

第1と第2の電源系のいずれかの第1のESD保護ボンディングパッドに接続され、かつ、いずれかの第2のESD保護ボンディングパッドに接続される電源用ESD保護素子部を更に備えることを特徴とする半導体装置。

[7] 請求項5又は6に記載の半導体装置において、

第1と第2の電源系はそれぞれ、電源ボンディングパッドに接続される電源端子と、グランドボンディングパッドに接続されるグランド端子と、信号ボンディングパッドに接続される信号端子と、を備え、

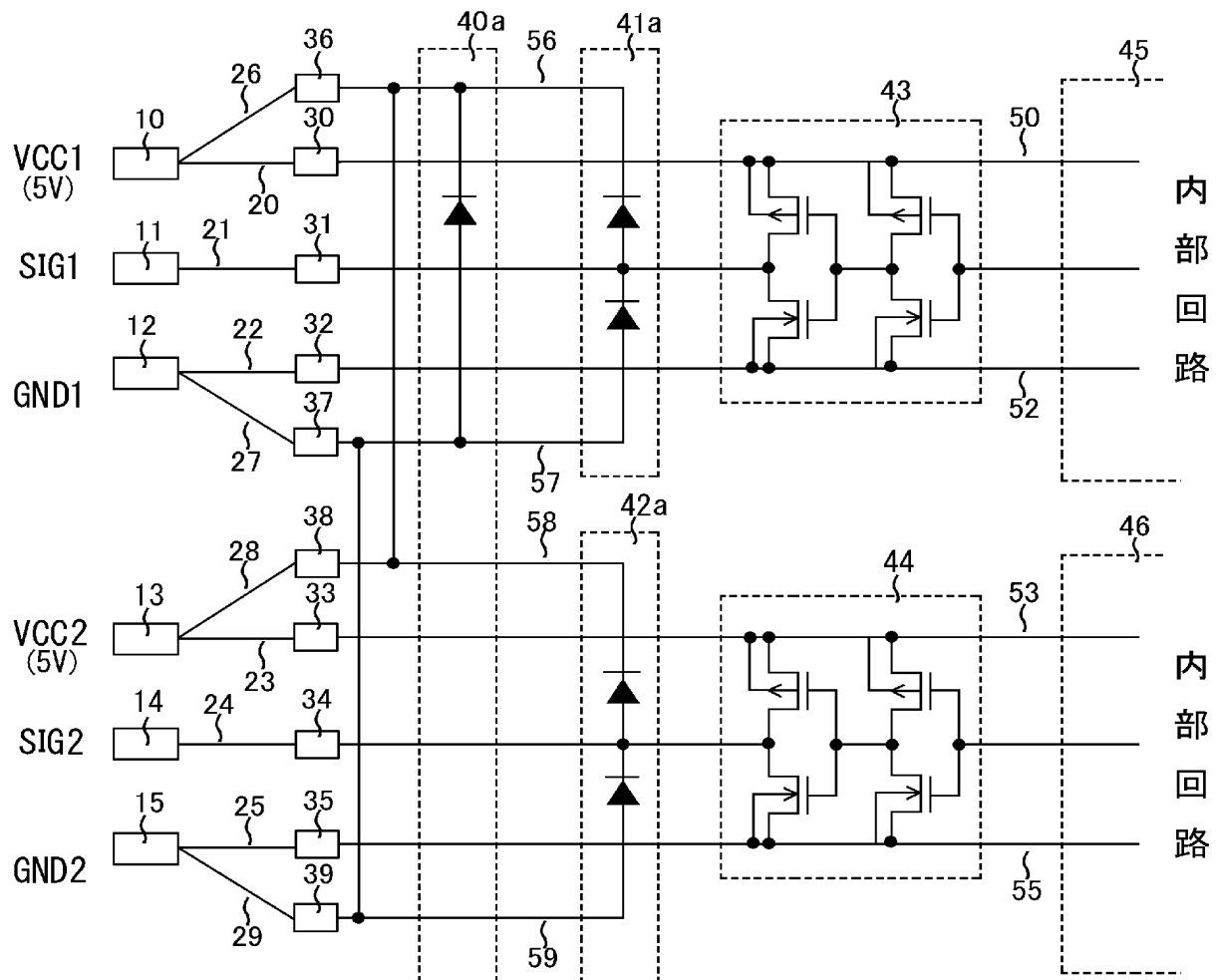
第1と第2の電源系はそれぞれ、第1のESD保護ボンディングパッドが電源端子又はグランド端子の一方に接続され、第2のESD保護ボンディングパッドが電源端子又はグランド端子の他方に接続されることを特徴とする半導体装置。

[8] 請求項7に記載の半導体装置において、

第1と第2の電源系はそれぞれ、電源ボンディングパッドと電源端子の接続、グランドボンディングパッドとグランド端子の接続、信号ボンディングパッドと信号端子の接続、第1のESD保護ボンディングパッドと電源端子又はグランド端子の一方の接続、第2のESD保護ボンディングパッドと電源端子又はグランド端子の他方の接続がボンディングワイヤを介していることを特徴とする半導体装置。

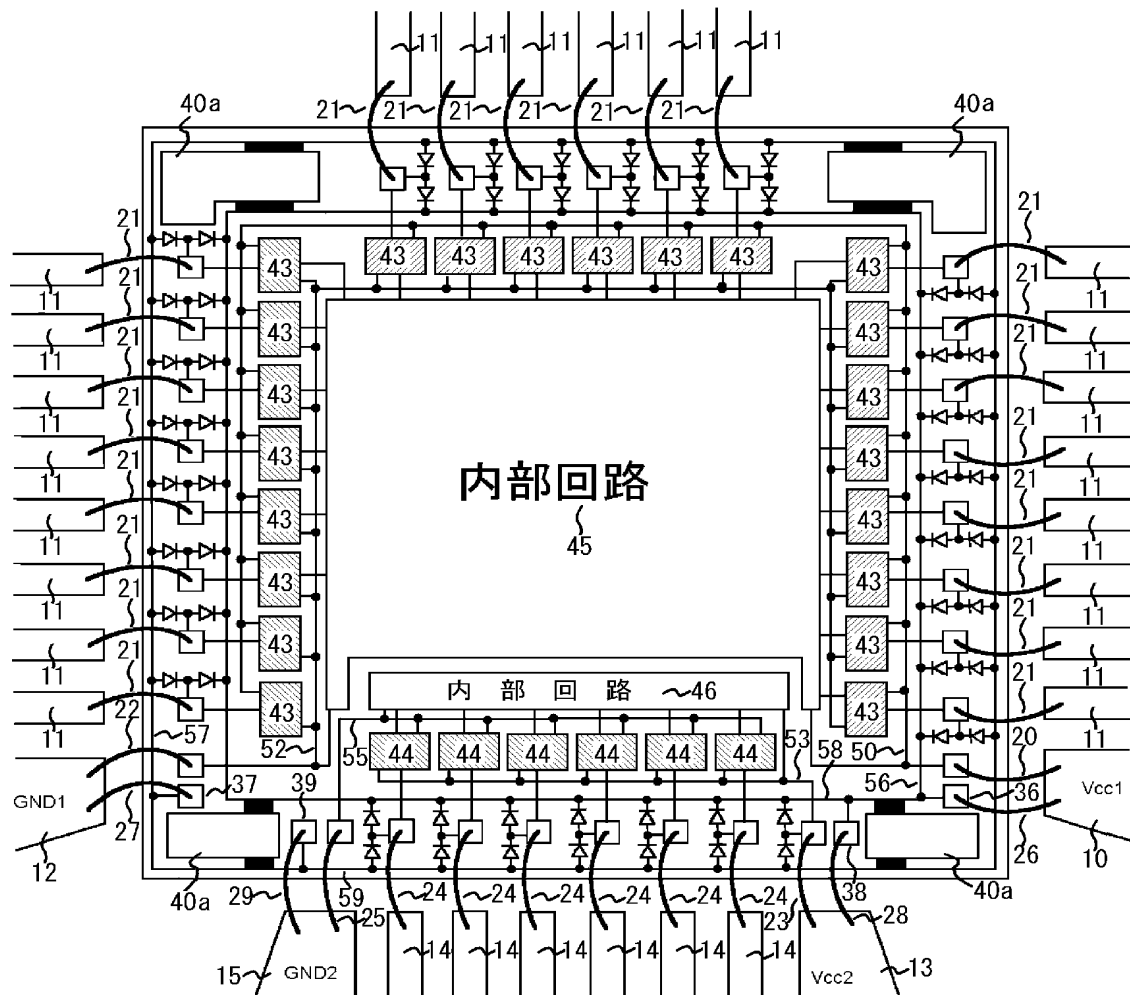
[図1]

1

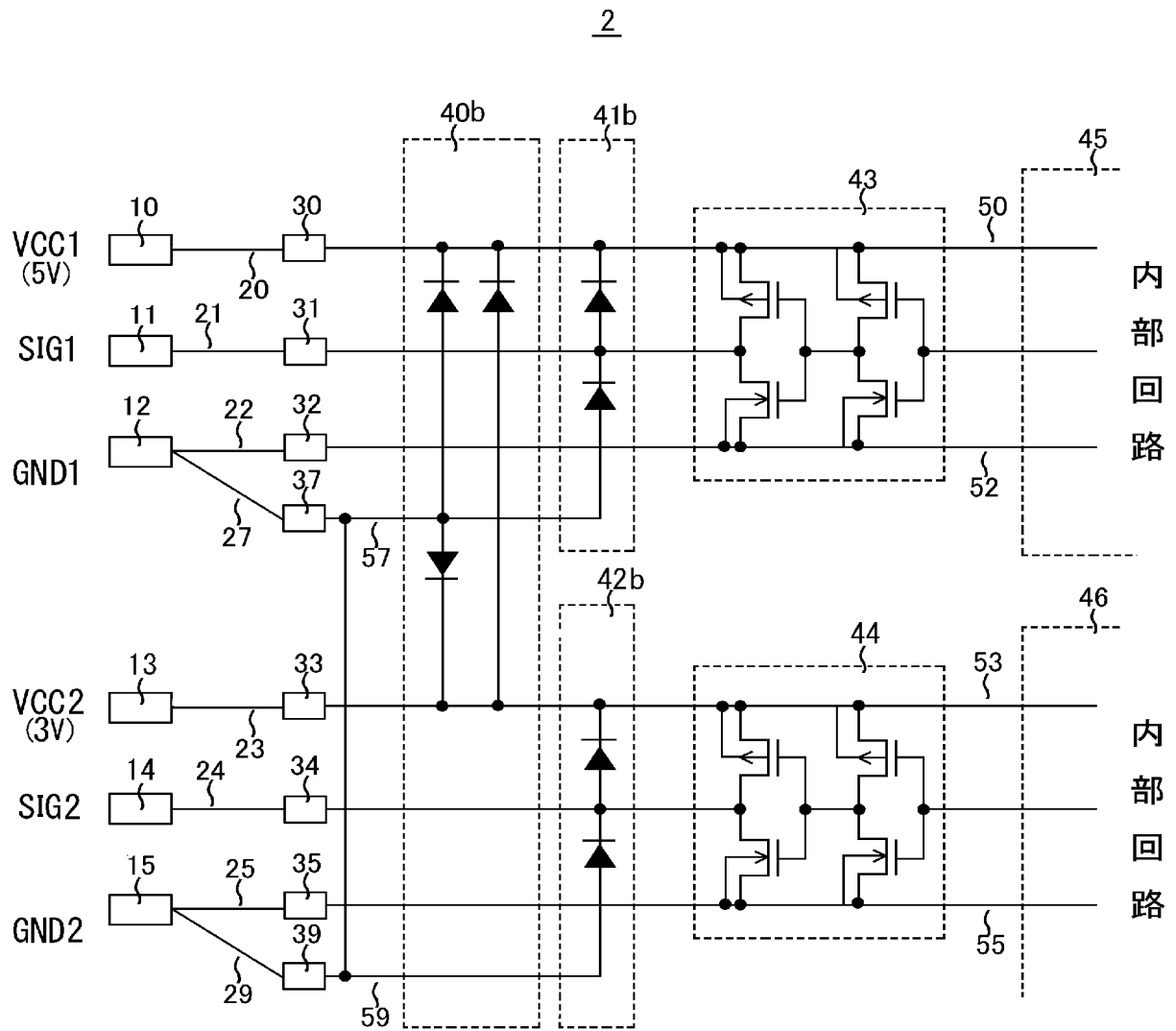


[図2]

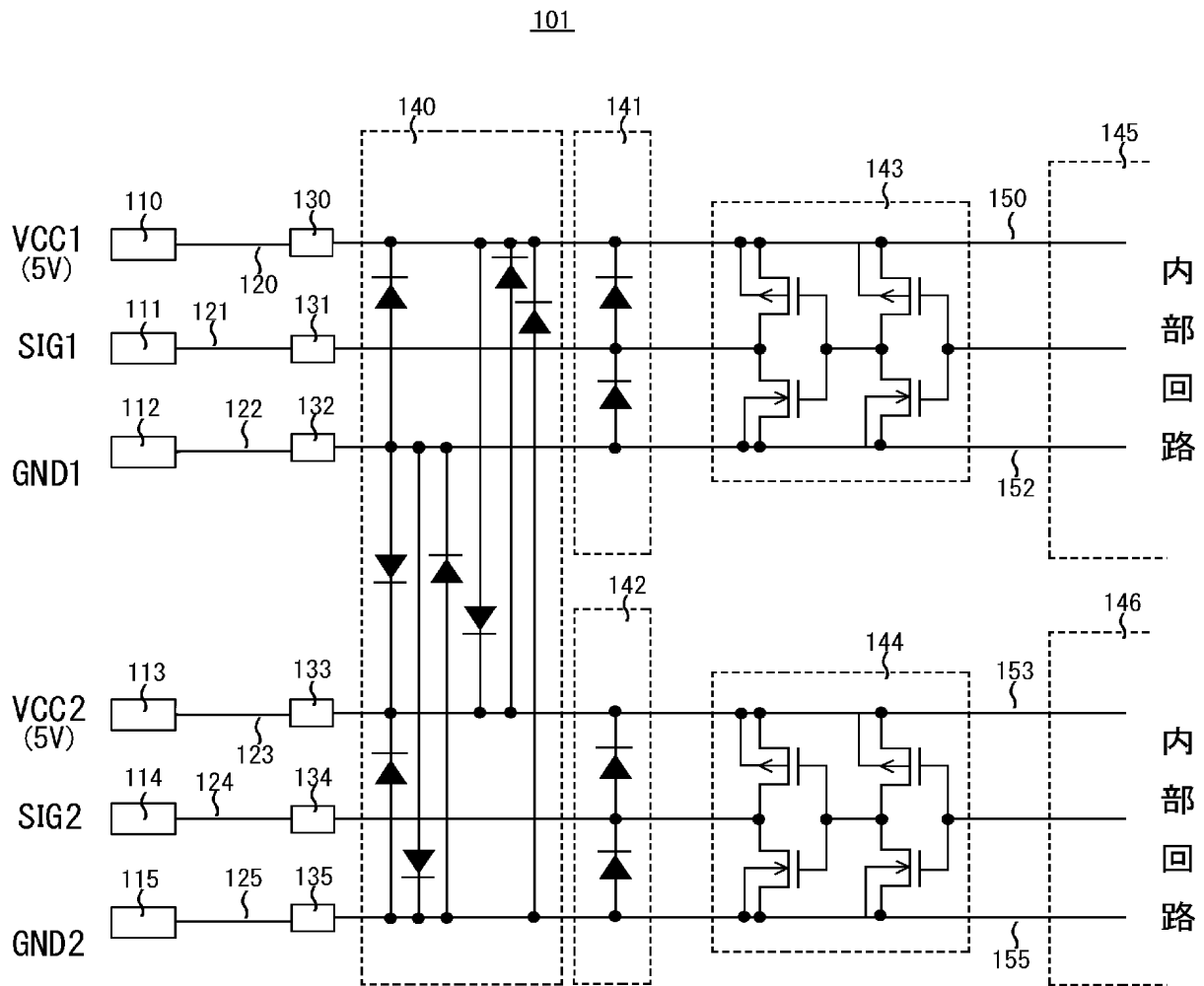
1



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004337

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/822, 21/82, 27/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/822, 21/82, 27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-110919 A (Toshiba Corp.), 12 April, 2002 (12.04.02), Full text; all drawings (Family: none)	1-8
A	JP 2001-298157 A (NEC Corp.), 26 October, 2001 (26.10.01), Full text; all drawings (Family: none)	1-8
A	JP 2000-208718 A (Matsushita Electric Industrial Co., Ltd.), 28 July, 2000 (28.07.00), Full text; all drawings (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 May, 2005 (12.05.05)

Date of mailing of the international search report
31 May, 2005 (31.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004337

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-173134 A (NEC Corp.), 26 June, 1998 (26.06.98), Full text; all drawings (Family: none)	1-8
A	JP 8-148650 A (NEC Corp.), 07 June, 1996 (07.06.96), Full text; all drawings & US 5693973 A Full text; all drawings	1-8
A	JP 3-72666 A (Toshiba Corp.), 27 March, 1991 (27.03.91), Full text; all drawings & US 5079612 A Full text; all drawings & EP 412561 A2 & KR 9311797 B1 & DE 69013267 D	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ H01L21/822, 21/82, 27/04		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ H01L21/822, 21/82, 27/04		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2002-110919 A (株式会社東芝) 2002. 04. 12, 全文, 全図 (ファミリーなし)	1-8
A	J P 2001-298157 A (日本電気株式会社) 2001. 10. 26, 全文, 全図 (ファミリーなし)	1-8
A	J P 2000-208718 A (松下電器産業株式会社) 2000. 07. 28, 全文, 全図 (ファミリーなし)	1-8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 12. 05. 2005	国際調査報告の発送日 31. 5. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 淵 真悟 電話番号 03-3581-1101 内線 3498	4 L 2933

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-173134 A (日本電気株式会社) 1998. 06. 26, 全文, 全図 (ファミリーなし)	1-8
A	JP 8-148650 A (日本電気株式会社) 1996. 06. 07, 全文, 全図 & US 5693973 A, 全文, 全図	1-8
A	JP 3-72666 A (株式会社東芝) 1991. 03. 27, 全文, 全図 & US 5079612 A, 全文, 全図 & EP 412561 A2 & KR 9311797 B1 & DE 69013267 D	1-8